



(12) 发明专利



(10) 授权公告号 CN 113381697 B

(45) 授权公告日 2022. 05. 10

(21) 申请号 202110528799.1

(22) 申请日 2021.05.14

(65) 同一申请的已公布的文献号
申请公布号 CN 113381697 A

(43) 申请公布日 2021.09.10

(73) 专利权人 华南理工大学
地址 510640 广东省广州市天河区五山路
381号
专利权人 人工智能与数字经济广东省实验
室(广州)

(72) 发明人 易翔

(74) 专利代理机构 广州海心联合专利代理事务
所(普通合伙) 44295
专利代理师 黄为 冼俊鹏

(51) Int.Cl.

H03B 5/12 (2006.01)

H03B 5/24 (2006.01)

(56) 对比文件

KR 100835979 B1, 2008.06.09

CN 106411264 A, 2017.02.15

CN 111181489 A, 2020.05.19

CN 211296713 U, 2020.08.18

CN 110401442 A, 2019.11.01

易翔 等. 一种基于频率-电压变换器的高精
度时钟振荡器.《微电子学》.2009,第39卷(第3
期),

审查员 邱翠婷

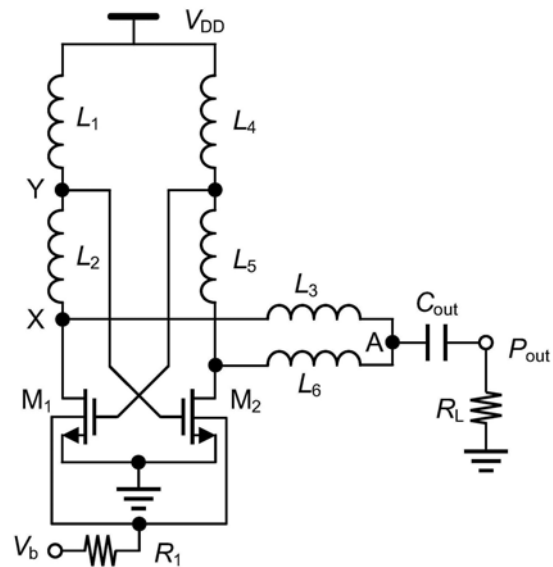
权利要求书1页 说明书5页 附图6页

(54) 发明名称

一种基于65nm CMOS工艺的二次谐波压控振
荡器

(57) 摘要

本发明公开了一种基于65nm CMOS工艺的二次谐波压控振荡器,涉及电子通讯技术。针对现有技术中小面积、高功率、高效率无法实现的问题提出本方案,利用65nm CMOS生产方法在基片上制作出二次谐波压控振荡电路结构,主要包括输出电容、第一电阻以及对称设置的第一三电感串接单元和第二三电感串接单元。工作频率为302.7GHz~317.2GHz。优点在于,采用了单振荡器结构实现高输出功率、高效率、小面积。由于有源晶体管的寄生电容会显著降低THz频段的振荡器性能,因此采用了高阶无源LC谐振电路来使这些寄生电容产生谐振,从而提高了振荡频率和效率。从优化路径中提取输出二次谐波,以产生高输出功率,面积仅0.01mm²。



1. 一种基于65nm CMOS工艺的二次谐波压控振荡器,其特征在于,包括二次谐波压控振荡电路结构;

所述二次谐波压控振荡电路结构包括输出电容(C_{out})、第一电阻(R_1)以及对称设置的第一三电感串接单元和第二三电感串接单元;

所述第一三电感串接单元包括从输入电压(V_{DD})依次向输出电容(C_{out})串联的第一电感(L_1)、第二电感(L_2)和第三电感(L_3),还包括第一晶体管(M_1);所述第二三电感串接单元包括从输入电压(V_{DD})依次向输出电容(C_{out})串联的第四电感(L_4)、第五电感(L_5)和第六电感(L_6),还包括第二晶体管(M_2);

第三电感(L_3)远离第二电感(L_2)的一端、第六电感(L_6)远离第五电感(L_5)的一端以及输出电容(C_{out})的一端共点,输出电容(C_{out})的另一端为功率输出端;

所述第一晶体管(M_1)的源极共地,衬底端经过第一电阻(R_1)连接衬底电压(V_b),栅极连接第四电感(L_4)和第五电感(L_5)的连接点,漏极连接第二电感(L_2)和第三电感(L_3)的连接点;

所述第二晶体管(M_2)的源极共地,衬底端经过第一电阻(R_1)连接衬底电压(V_b),栅极连接第一电感(L_1)和第二电感(L_2)的连接点,漏极连接第五电感(L_5)和第六电感(L_6)的连接点。

2. 根据权利要求1所述基于65nm CMOS工艺的二次谐波压控振荡器,其特征在于,所述二次谐波压控振荡电路结构是利用65nm CMOS生产方法在基片上制作而成。

3. 根据权利要求1所述基于65nm CMOS工艺的二次谐波压控振荡器,其特征在于,还包括串接在所述输出电容(C_{out})与地之间的输出负载(R_L)。

4. 根据权利要求3所述基于65nm CMOS工艺的二次谐波压控振荡器,其特征在于,所述输出负载(R_L)的阻值为50 Ω 。

5. 根据权利要求1所述基于65nm CMOS工艺的二次谐波压控振荡器,其特征在于,所述第一电阻(R_1)的阻值为25k Ω 。

6. 根据权利要求1所述基于65nm CMOS工艺的二次谐波压控振荡器,其特征在于,工作频率为302.7GHz~317.2GHz。

一种基于65nm CMOS工艺的二次谐波压控振荡器

技术领域

[0001] 本发明涉及电子通讯技术,尤其涉及一种基于65nm CMOS工艺的二次谐波压控振荡器。

背景技术

[0002] 毫米波(mm-Wave)和太赫兹(THz)广泛用于高速无线通信、雷达、成像和光谱学中,出现基于在III-V族工艺实现的分立组件或单片微波集成电路(MMIC)中。由于CMOS深亚微米工艺的飞速发展,CMOS晶体管的最大振荡频率 $f_{\max}$ 不断提高,使得CMOS工艺中的毫米波和太赫兹IC成为现实。尽管CMOS工艺仍然面临性能相对较低,衬底损耗高以及高频模型不准确问题,但近年来,由于毫米波和太赫兹CMOS IC的低成本以及与CMOS数字电路的高强兼容性,它们仍是本领域技术人员所迫切需要的。高输出功率、高DC-to-RF效率和小面积信号源在CMOS技术中是毫米波和太赫兹大规模阵列系统的关键,但具有挑战性,例如用于6G通信的相控阵或MIMO收发器。由于CMOS晶体管的 $f_{\max}$ 低于工作频率,因此只能从输出信号的谐波分量中提取所需的功率。与基本振荡器和倍频器的解决方案相比,谐波振荡器可以提供高输出功率,低功耗和小的面积,但仍需要改进。增加输出功率的一种直接方法是使用大规模振荡器阵列,但要以大面积为代价。三推结构很简单,但是版图不对称,降低了效率。耦合振荡器需要注入功率和延迟线来耦合相邻的振荡器,这会扩大芯片面积并降低效率。

[0003] 如何实现实现高输出功率、高效率、小面积的压控振荡器是亟待解决的技术问题。

发明内容

[0004] 本发明目的在于提供一种基于65nm CMOS工艺的二次谐波压控振荡器,以解决上述现有技术存在的问题。

[0005] 本发明所述基于65nm CMOS工艺的二次谐波压控振荡器,包括二次谐波压控振荡电路结构;

[0006] 所述二次谐波压控振荡电路结构包括输出电容、第一电阻以及对称设置的第一三电感串接单元和第二三电感串接单元;

[0007] 所述第一三电感串接单元包括从输入电压依次向输出电容串联的第一电感、第二电感和第三电感,还包括第一晶体管;所述第二三电感串接单元包括从输入电压依次向输出电容串联的第四电感、第五电感和第六电感,还包括第二晶体管;

[0008] 第三电感远离第二电感的一端、第六电感远离第五电感的一端以及输出电容的一端共点,输出电容的另一端为功率输出端;

[0009] 所述第一晶体管的源极共地,衬底端经过第一电阻连接衬底电压,栅极连接第四电感和第五电感的连接点,漏极连接第二电感和第三电感的连接点;

[0010] 所述第二晶体管的源极共地,衬底端经过第一电阻连接衬底电压,栅极连接第一电感和第二电感的连接点,漏极连接第五电感和第六电感的连接点。

[0011] 所述二次谐波压控振荡电路结构是利用65nm CMOS生产方法在基片上制作而成。

- [0012] 还包括串接在所述输出电容与地之间的输出负载。
- [0013] 所述输出负载的阻值为 $50\ \Omega$ 。
- [0014] 所述第一电阻的阻值为 $25\text{k}\ \Omega$ 。
- [0015] 工作频率为 $302.7\text{GHz}\sim 317.2\text{GHz}$ 。
- [0016] 本发明所述基于 65nm CMOS工艺的二次谐波压控振荡器,其优点在于,采用了单振荡器结构实现高输出功率、高效率、小面积。由于有源晶体管的寄生电容会显著降低THz频段的振荡器性能,因此采用了高阶无源LC谐振电路来使这些寄生电容产生谐振,从而提高了振荡频率和效率。从优化路径中提取输出二次谐波,以产生高输出功率。提出的二次谐波压控振荡器工作在 $302.7\text{GHz}\sim 317.2\text{GHz}$,以 2.3% 的DC-RF效率实现 2.3dBm 的输出功率,并且在 65nm CMOS工艺中面积仅 0.01mm^2 。

附图说明

- [0017] 图1是本发明所述二次谐波压控振荡器的电路结构示意图。
- [0018] 图2是本发明所述二次谐波压控振荡器的半电路原理图。
- [0019] 图3是本发明所述二次谐波压控振荡器的小信号模型原理图。
- [0020] 图4是本发明所述二次谐波压控振荡器从漏极向上看的小信号阻抗模型原理图。
- [0021] 图5是本发明所述二次谐波压控振荡器的输出频率调谐曲线图。
- [0022] 图6是本发明所述二次谐波压控振荡器的输出功率曲线图。
- [0023] 图7是本发明所述二次谐波压控振荡器的功耗和效率曲线图。
- [0024] 附图标记:
- [0025] L_1 -第一电感、 L_2 -第二电感、 L_3 -第三电感、 L_4 -第四电感、 L_5 -第五电感、 L_6 -第六电感;
- [0026] M_1 -第一晶体管、 M_2 -第二晶体管;
- [0027] C_{out} -输出电容、 C_{GD} -栅-漏电容、 C_{GS} -栅-源电容、 C_{DB} -漏-衬底电容、 C_{SB} -源-衬底电容;
- [0028] R_1 -第一电阻、 R_L -输出负载;
- [0029] X-节点X、Y-节点Y、A-节点A;
- [0030] V_{DD} -输入电压、 V_b -衬底电压、 V_Y -节点Y的电压、 V_X -节点X的电压;
- [0031] Z_{in} -输入阻抗、 Z_1 -第一阻抗、 Z_2 -第二阻抗、 Z_3 -第三阻抗;
- [0032] f_{fund} -基频、 $f_{2\text{nd}}$ -二次谐振频率;
- [0033] P_{out} -功率输出节点。

具体实施方式

- [0034] 如图1所示,本发明所述基于 65nm CMOS工艺的二次谐波压控振荡器包括二次谐波压控振荡电路结构。
- [0035] 所述二次谐波压控振荡电路结构包括输出电容 C_{out} 、第一电阻 R_1 以及对称设置的第一三电感串接单元和第二三电感串接单元。
- [0036] 所述第一三电感串接单元包括从输入电压 V_{DD} 依次向输出电容 C_{out} 串联的第一电感 L_1 、第二电感 L_2 和第三电感 L_3 ,还包括第一晶体管 M_1 。所述第二三电感串接单元包括从输入

电压 V_{DD} 依次向输出电容 C_{out} 串联的第四电感 L_4 、第五电感 L_5 和第六电感 L_6 ,还包括第二晶体管 M_2 。

[0037] 第三电感 L_3 远离第二电感 L_2 的一端、第六电感 L_6 远离第五电感 L_5 的一端以及输出电容 C_{out} 的一端共点,输出电容 C_{out} 的另一端为功率输出端。

[0038] 所述第一晶体管 M_1 的源极共地,衬底端经过第一电阻 R_1 连接衬底电压 V_b ,栅极连接第四电感 L_4 和第五电感 L_5 的连接点,漏极连接第二电感 L_2 和第三电感 L_3 的连接点。

[0039] 所述第二晶体管 M_2 的源极共地,衬底端经过第一电阻 R_1 连接衬底电压 V_b ,栅极连接第一电感 L_1 和第二电感 L_2 的连接点,漏极连接第五电感 L_5 和第六电感 L_6 的连接点。

[0040] 所述二次谐波压控振荡电路结构是利用65nm CMOS生产方法在基片上制作而成。

[0041] 在一实施例中,在所述输出电容 C_{out} 与地之间还串接一输出负载 R_L 用于测量。

[0042] 优选地,所述输出负载 R_L 的阻值为50 Ω 。

[0043] 优选地,所述第一电阻 R_1 的阻值为25k Ω 。

[0044] 优选地,工作频率为302.7GHz~317.2GHz。

[0045] 本发明所述基于65nm CMOS工艺的二次谐波压控振荡器具有高度对称性,因此工作原理可以用第一晶体管 M_1 所在的半电路进行描述,如图2至4所示。

[0046] 由于交叉耦合的连接,从节点Y到第一晶体管 M_1 的栅极有-1的增益。在基频基频 f_{fund} 上,即差分工作下,节点A和节点B都是虚拟地。当第三电感 L_3 和漏-衬底电容 C_{DB} 在基频 f_{fund} 谐振时,二者都呈现高阻抗。因此,基频信号可以从节点X流向节点Y,然后反馈到栅极。优化了从节点X到栅极的延迟,以产生最大的二次谐波电流。在二次谐波频率二次谐振频率 f_{2nd} 处,节点B为高阻抗,并且从节点X到输入电压 V_{DD} 的路径也为高阻抗,因此输出的二次谐波信号主要流经第三电感 L_3 并在二次谐振频率 f_{2nd} 处经过适当的阻抗进入输出负载 R_L 。

[0047] 为了计算振荡频率,基频 f_{fund} 处的小信号模型如图3所示。假设所有器件都是无损的,考虑到米勒效应,栅-漏电容 C_{GD} 增加三倍。注意到栅-漏电容 C_{GD} 和第二电感 L_2 并联,栅-源电容 C_{GS} 和第一电感 L_1 也是并联。因此,栅-源电容 C_{GS} 、栅-漏电容 C_{GD} 和漏-衬底电容 C_{DB} 等三个寄生电容可分别与第一电感 L_1 ,第二电感 L_2 和第三电感 L_3 产生谐振,从而提高了振荡频率和效率。从漏极向上看的小信号阻抗模型如图4所示,高阶无源LC谐振回路的输入阻抗输入阻抗 Z_{in} 是三个LC谐振回路的组合:第一阻抗 Z_1 与第二阻抗 Z_2 串联,第三阻抗 Z_3 与之并联。所以输入阻抗 Z_{in} 可以表示为:

$$Z_{in} = (Z_1 + Z_2) \parallel Z_3$$

$$= \left(sL_1 \parallel \frac{1}{sC_{GS}} + sL_2 \parallel \frac{1}{4sC_{GD}} \right) \parallel \left(sL_3 \parallel \frac{1}{sC_{DB}} \right) \quad (1)$$

[0049] 将式(1)归一化并将其分母置零,则振荡频率(忽略较高解)可得出:

$$\omega = \sqrt{\frac{B - \sqrt{B^2 - 4AC}}{2A}}$$

[0051] 其中

$$A = L_1 L_2 L_3 (4C_{GD} C_{DB} + C_{GS} C_{DB} + 4C_{GD} C_{GS}),$$

$$B = L_1 (L_2 + L_3) C_{GS} + 4L_2 (L_1 + L_3) C_{GD} + L_3 (L_1 + L_2) C_{DB},$$

[0054] $C=L_1+L_2+L_3$.

[0055] 经测试,仿真结果与计算结果吻合良好。

[0056] 在65nm CMOS工艺中设置电路参数。所述二次谐波压控振荡器由于结构简单,使得在该工艺下实现芯片面积仅 0.01mm^2 ($0.12\text{mm}\times 0.8\text{mm}$)。然后进行仿真测试,结果如图5-7所示。图5中,当衬底电压 V_b 从-1.4V到1.4V变化时,输出频率为302.7GHz~317.2GHz,即310GHz左右的调谐范围为4.7%。图6为仿真的输出功率,并得到了1.0~2.3dBm的高输出功率。图7所示仿真的功耗约为46mW,DC-RF效率为2.7%~3.8%。表1总结了所述二次谐波压控振荡器的性能,并与300GHz附近的谐波VCO进行了比较。证明实现了更高的效率和极其紧凑的面积。

[0057] 表1.性能总结和与谐波VCOS在300GHz左右的比较

Reference	Technology	Frequency (GHz)	Tuning Range	Output Power (dBm)	DC Power (mW)	Efficiency	Area (mm^2)
[1]	45nm SOI	280	3.2%	-7.1(a)	810	0.024%	7.3
[2]	65nm CMOS	288	0.7%	-1.5	275	1.4%	0.29
[3]	90nm SiGe	291	8%	-14	376	0.38%	1.4
[4]	65nm CMOS	256	4.3%	4.1	227	1.14%	0.44
[5]	65nm CMOS	290	4.5%	-1.2	325	2.3%	0.36
		320	2.6%	-3.3	339	1.3%	0.36
[6]	65nm CMOS	260	9.5%	0.5(a)	800	1.4%	2.3
本发明 VCO	65nm CMOS	310	4.7%	2.3	46	3.8%	0.01

[0059] 综合可见,在65nm CMOS工艺中所提出的310GHz二次谐波VCO,通过使用简单结构和适当设计的三个谐振电路,在后仿真结果中表现出高输出功率和高效率,且面积小,这表明了其在大规模THz阵列中的具有广阔前景。

[0060] 所述表1中的产品序号结构对应下列对比文件:

[0061] [1]K.Sengupta and A.Hajimiri,“A 0.28THz power-generation and beam-steering array in CMOS based on distributed active radiators,”IEEE J.Solid-State Circuits,vol.47,no.12,pp.3013-3031,2012.

[0062] [2]J.Grzyb,Y.Zhao,and U.R.Pfeiffer,“A 288-GHz lens-integrated balanced triple-push source in a 65-nm CMOS technology,”IEEE J.Solid-State Circuits,vol.48,no.7,pp.1751-1761,2013.

[0063] [3]P.Y.Chiang,Z.Wang,O.Momeni,and P.Heydari,“A 300GHz frequency

synthesizer with 7.9% locking range in 90nm SiGe BiCMOS,” in IEEE International Solid-State Circuits Conference (ISSCC), 2014, pp.260-261.

[0064] [4] M. Adnan and E. Afshari, “A 247-to-263.5GHz VCO with 2.6mW peak output power and 1.14% DC-to-RF efficiency in 65nm bulk CMOS,” in IEEE International Solid-State Circuits Conference (ISSCC), 2014, pp.262-263.

[0065] [5] Y. M. Tousi, O. Momeni, and E. Afshari, “A 283-to-296GHz VCO with 0.76mW peak output power in 65nm CMOS,” in IEEE International Solid-State Circuits Conference (ISSCC), 2012, pp.258-259.

[0066] [6] R. Han and E. Afshari, “A CMOS high-power broadband 260-GHz radiator array for spectroscopy,” IEEE J. Solid-State Circuits, vol.48, no.12, pp.3090-3104, 2013.

[0067] 对于本领域的技术人员来说,可根据以上描述的技术方案以及构思,做出其它各种相应的改变以及形变,而所有的这些改变以及形变都应该属于本发明权利要求的保护范围之内。

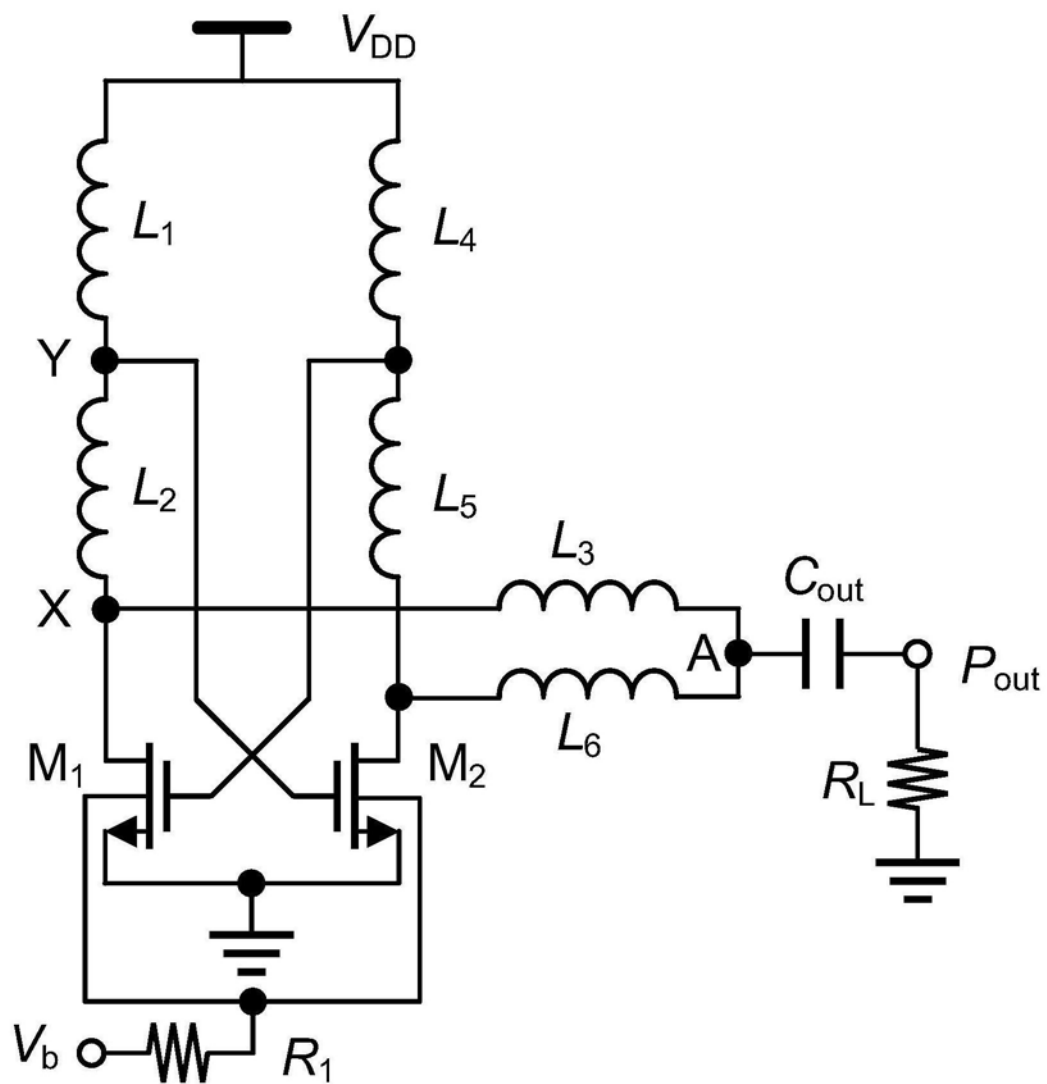


图1

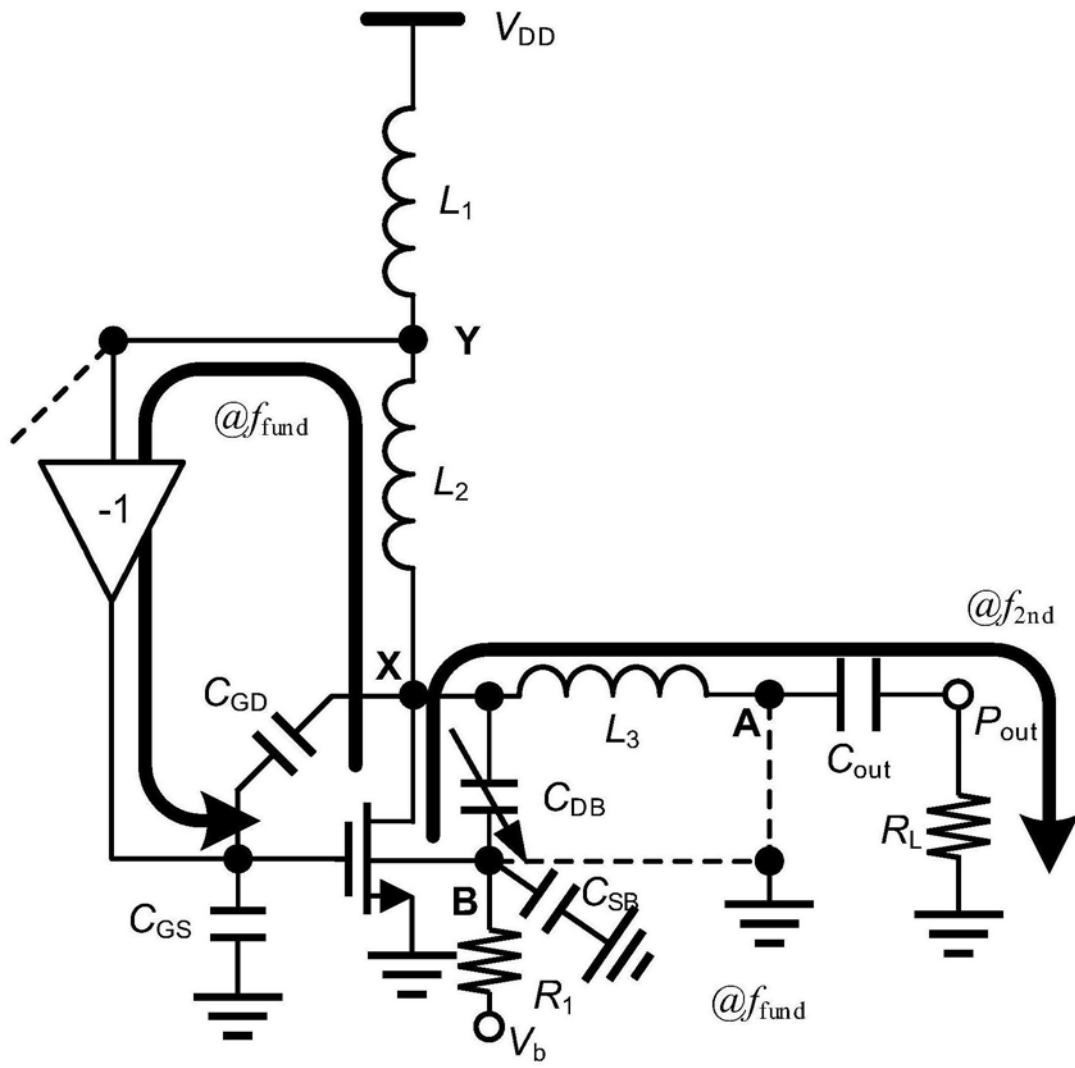


图2

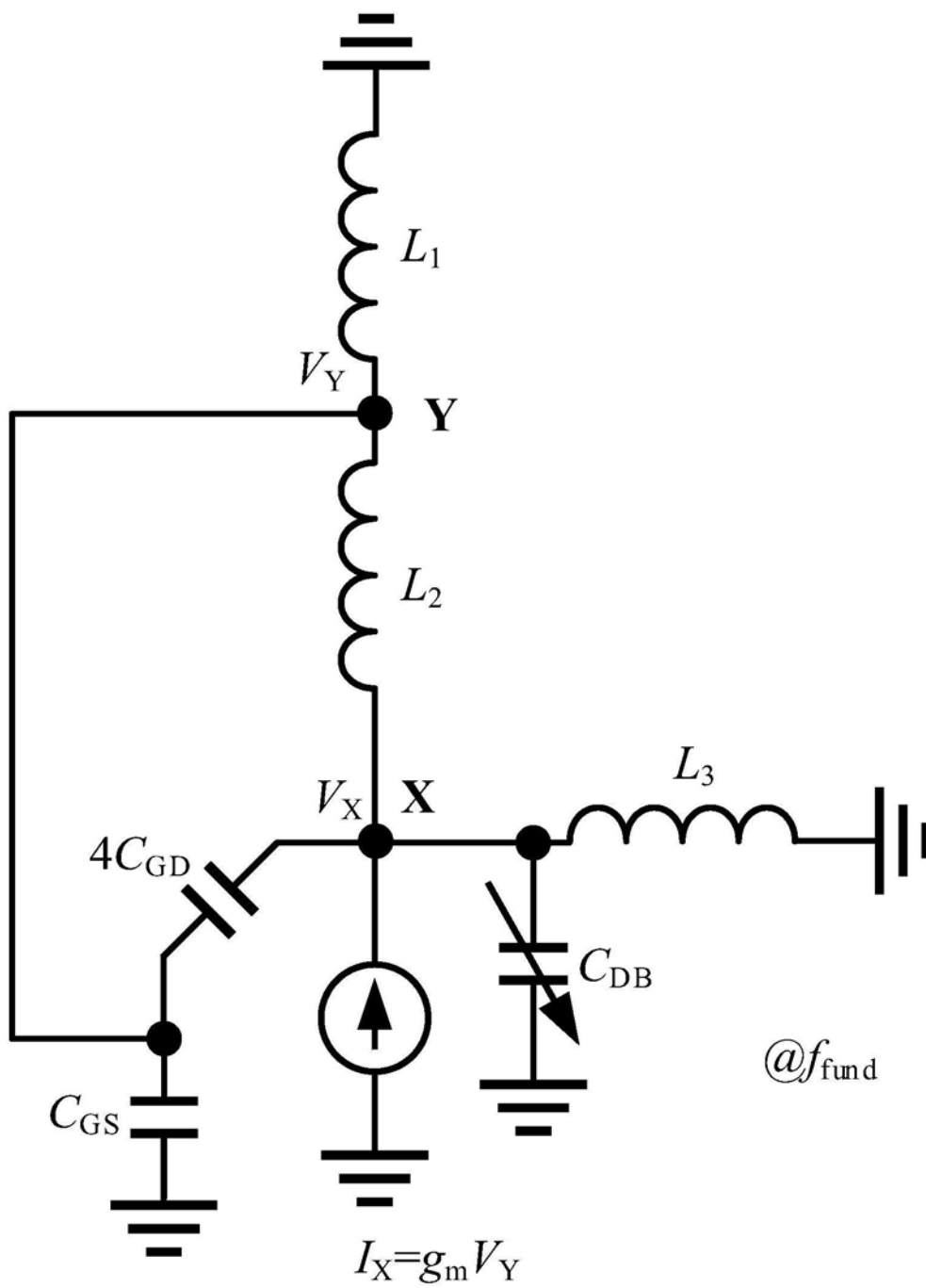


图3

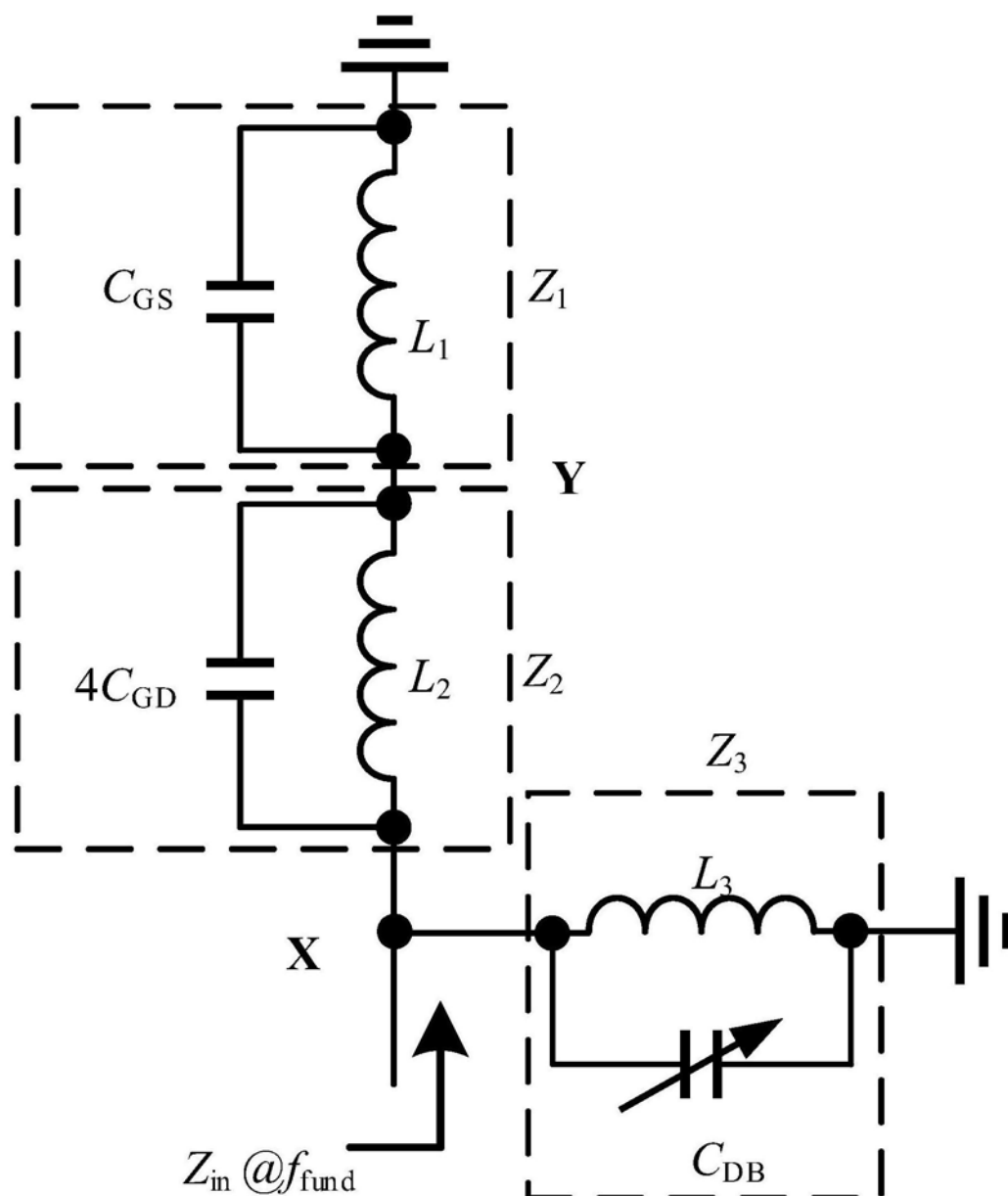


图4

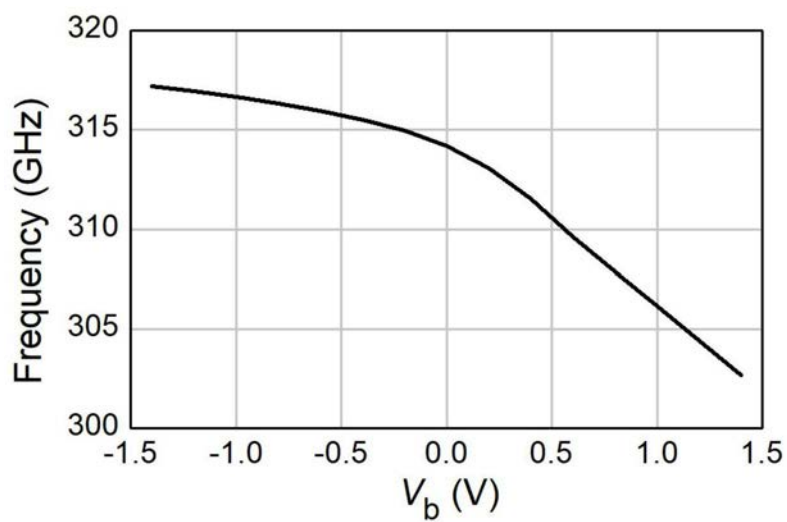


图5

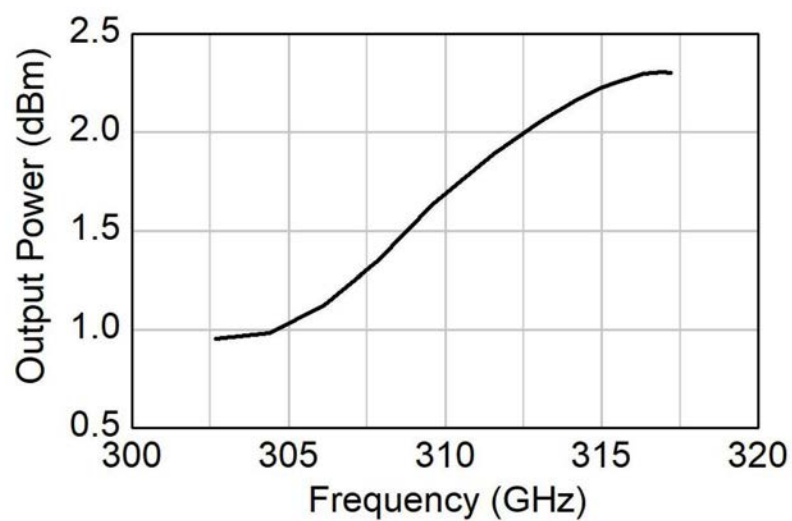


图6

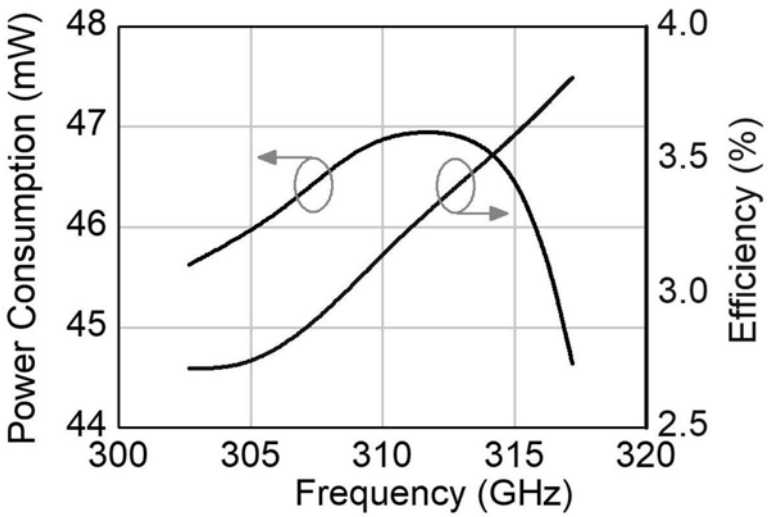


图7